



CMS8H5101L 22-bit Delta Sigma ADC

应用范例

高精度测量 SOC

Rev. 1.00

请注意以下有关CMS知识产权政策

* 中微半导体（深圳）股份有限公司（以下简称本公司）已申请了专利，享有绝对的合法权益。与本公司MCU或其他产品有关的专利权并未被同意授权使用，任何经由不当手段侵害本公司专利权的公司、组织或个人，本公司将采取一切可能的法律行动，遏止侵权者不当的侵权行为，并追讨本公司因侵权行为所受的损失、或侵权者所得的不法利益。

* 中微半导体（深圳）股份有限公司的名称和标识都是本公司的注册商标。

* 本公司保留对规格书中产品在可靠性、功能和设计方面的改进作进一步说明的权利。然而本公司对于规格内容的使用不负责任。文中提到的应用其目的仅仅是用来做说明，本公司不保证和不表示这些应用没有更深入的修改就能适用，也不推荐它的产品使用在会由于故障或其它原因可能会对人身造成危害的地方。本公司的产品不授权适用于救生、维生器件或系统中作为关键器件。本公司拥有不事先通知而修改产品的权利，对于最新的信息，请参考官方网站 www.mcu.com.cn。

目录

CMS8H5101L 22-bit Delta Sigma ADC	1
目录	2
1. Delta-Sigma ADC 简介	4
1.1 Delta-Sigma ADC	4
1.2 ADC 的主要技术指标之有效位数	4
1.3 ADC 的主要技术指标之 DNL、INL	5
1.4 ADC 的参考输入与比例测量	5
2. 功能说明	7
2.1 基本结构功能描述.....	7
2.2 工作原理.....	7
2.2.1 模拟输入前端.....	7
2.2.2 温度传感器	7
2.2.3 低噪声 PGA 放大器	7
2.2.4 ADC 时钟、数据输出速率及斩波频率.....	7
2.2.5 复位和断电模式	8
2.2.6 建立时间.....	8
2.3 SPI 串口通信	9
2.3.1 数据格式.....	9
2.3.2 数据准备/数据输入输出 (DRDYB/DOUT)	9
2.3.3 串行时钟输入 (SCLK)	9
2.3.4 串行数据发送.....	10
2.3.5 功能配置.....	10
2.3.6 SPI 命令字说明	11
2.4 相关寄存器	11
2.4.1 AD 控制寄存器 1	11
2.4.2 AD 控制寄存器 2	12
2.4.3 AD 控制寄存器 3	12
2.4.4 AD 控制寄存器 4	13
3. 设计参考	14
3.1 原理分析	14
3.1.1 电子秤原理分析	14
3.1.2 热电堆温度传感器原理分析	14
3.2 硬件设计	14
3.2.1 1.2v 输出	14
3.2.2 SigmaDeltaAdc 参考源.....	15
3.2.3 ADC 差分输入	16
3.3 软件设计	17
4. 测试结果	18
4.1.1 有效精度(-40°C~80°C)	18
4.1.2 温感测试(-40°C~80°C)	18
5. 应用开发板	19

6. 注意事项	20
6.1 硬件注意事项.....	20
6.1.1 电路设计注意事项	20
6.1.2 PCB 布局注意事项	20
6.2 软件注意事项.....	21
7. 附件	22
7.1 应用范例参考程序.....	22
8. 版本修订说明	23

1. Delta-Sigma ADC 简介

1.1 Delta-Sigma ADC

相比于其他种类的 ADC，Delta-sigma ADC 采用了独特的噪声整形及过采样技术，在高精度、低速、低功耗应用场合具有显著的优势。过采样技术使得系统对前端抗混叠滤波器的要求大大降低，一般采用一阶 RC 低通滤波器就可以满足要求。噪声整形技术带来的高频噪声由片上高阶数字滤波器滤除，数字滤波器的建立时间需要对应阶数个转换周期；因此，大多数 Delta-Sigma ADC 芯片需要丢失前几个数据。5101L 自带的 Delta-Sigma ADC 为输出无延迟的增量式 Delta-Sigma ADC（Incremental Delta Sigma ADC），可以直接使用第一个数据。

1.2 ADC 的主要技术指标之有效位数

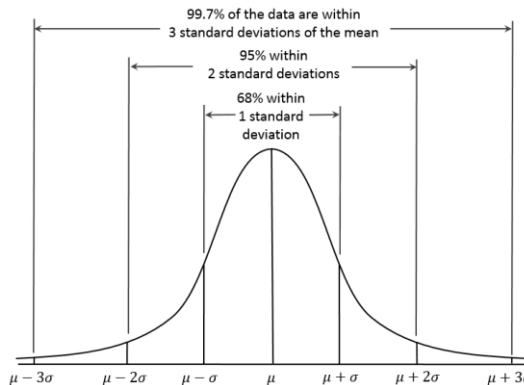
测量类 ADC 的主要技术指标包括有效分辨率（Effective Resolution），有效位数（ENOB，Effective Number of Bits），无闪烁位数（无噪声位数或 Noise Free Bits 或 Noise Free Resolution）。其定义分别如下：

$$\text{Effective Resolution} = \log_2 [\text{full-scale input voltage range} / \text{ADC RMS noise}]$$

$$\text{ENOB} = \log_2 [\text{full-scale input voltage range} / (\text{ADC RMS noise} \times \sqrt{12})] = \text{Effective Resolution} - 1.8$$

$$\text{Noise Free Bits} = \log_2 [\text{full-scale input voltage range} / \text{ADC peak-to-peak noise}] = \text{Effective Resolution} - 2.7$$

对于测量近似直流信号的 Delta Sigma ADC，常说的“有效位数”实际上是按照上述有效分辨率的计算方式得出的位数，比标准的有效位数优 1.8 位，有些厂商基于习惯采用 ENOB 代替有效分辨率。中微遵循 IEEE® standard 1057 的定义标准，区分有效分辨率和有效位数，采用有效分辨率描述低频测量类 Delta Sigma ADC 的性能。有效位数 ENOB 常常用于衡量处理音频、高速信号的 ADC 的性能。



均值附近的分布窗口（峰峰窗口）	窗口内输出编码的可能性	不在窗口内输出编码的可能性
2.0 x RMS	68%	32%
4.0 x RMS	95.40%	4.60%
6.0 x RMS	99.73%	0.27%
6.6 x RMS	99.90%	0.10%
8.0 x RMS	99.95%	0.05%
10.0 x RMS	99.99%	0.01%

无闪烁位数是指 ADC 多次转换一个恒定输入电压时，输出数据中几乎不抖动的位数。由于 ADC 自身的固有噪声，即使在输入信号恒定时，输出数据的 LSB 也依然会抖动。将这些大量的输出数据绘制成直方图时，会得到近似高斯分布的分布图。如图 1-1，横坐标为输出数据，纵坐标为该数据出现的个数；ADC 的 RMS 噪声对应高斯分布的标准差 σ 。ADC 的无噪声位数，对应涵盖了峰峰值噪声后的精度，表 1-1 表示选取不同的峰峰值噪声窗口时，该窗口内所包含的输出码的可能性。业界一般取 6.6*RMS（或 3.3 σ 范围）峰峰值窗口用于定义无闪烁位数，6.6 对应于 2.7 位，因此无闪烁位数比有效分辨率低 2.7 位。因此对于有效分

分辨率达 18.7 位的 ADC，其无闪烁位则为 16 位。

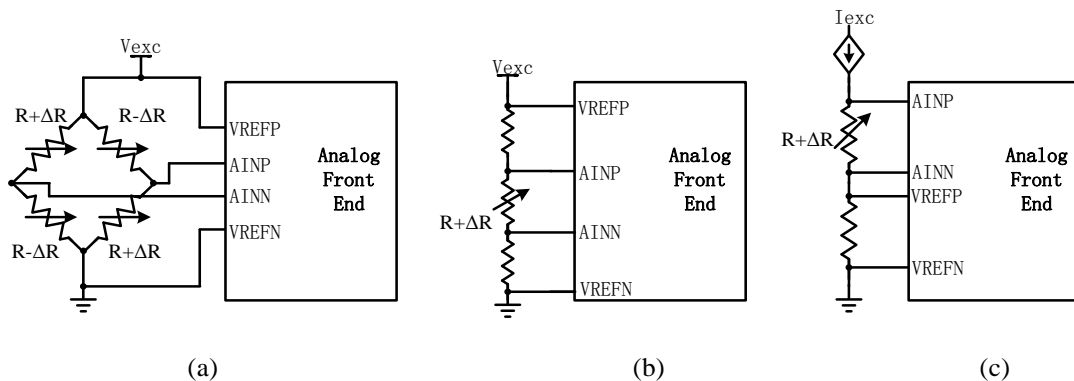
1.3 ADC 的主要技术指标之 DNL、INL

微分非线性误差(DNL)、积分非线性误差(INL)是 ADC 常见的静态性能指标。不同于奈奎斯特率 ADC (Nyquist Rate ADC, 如 SAR ADC), 单比特 Delta-Sigma ADC 由于其特殊架构以及过采样技术, 不存在由于器件失配造成的微分非线性误差, 其有效分辨率已经衡量了微分误差。受限于电路非理想因素, Delta-Sigma ADC 同样存在 INL。但一般包含程控放大器 (PGA) 的 ADC 模拟前端系统, 其整体的 INL 往往由 PGA 的增益、参考电压的精度、传感器的精度等共同决定。因此系统的 INL 性能往往依靠定标校正来保证。

1.4 ADC 的参考输入与比例测量

ADC 参考输入的驱动能力、噪声性能都会影响 ADC 的精度。很多 DELTA-SIGMA ADC 内部没有对参考输入提供缓冲级, 因此参考输入需要有足够的驱动能力驱动采样电容。例如 5101L 内部 Delta Sigma ADC 的采用电容最大 10pF, 当 ADC 工作在 10Hz 时其等效输入阻抗近似为 2.4Mohm, 工作在 40Hz 时其等效输入阻抗为 0.6Mohm。如果参考输入采用 RC 滤波电路, 则需注意该滤波电阻对参考电压造成的衰减作用。

ADC 的参考输入可以由高精度的参考源产生, 但这提高了系统成本。实际上, 如果电路设计妥当, 采用电源电压或者普通性能的参考源, 也可以得到足够好的性能。不同的系统, 电源电压的噪声性能也不同。对于大多数系统, 在参考输入端加上 1uF、0.1uF 级别的去耦电容后, 性能已经足够好。但如果电源电压含有较大的噪声, 则需要对其滤波处理后再用于参考输入。其中高于奈奎斯特采样率的高频噪声会被折叠回信号带内降低信噪比; 低于奈奎斯特采样率高于信号带宽的中频噪声, 会与调制器输出码的高频分量发生调制, 使得部分能量被调制至信号带内从而降低输出精度。这些噪声可以由一阶 RC 滤波电路滤除, 可以将截止频率设置在 100Hz 级别, 采用 1-10uF 级别的滤波电容, 相应的滤波电阻可以设置为 1k-100ohm 级别。位于信号带内的低频参考输入噪声则可以由比例测量 (Ratiometric Measurement) 方法消除。



对于常见的压力传感器, 其测量目标实际上是变化的阻值与原阻值的比例, 利用这一特征, 可以将传感器检测电路设计成如图 1-2 所示的比例测量。比例测量是将传感器的激励电压与 ADC 的参考输入取自同一个电压或者电流源, 因此参考电压携带的噪声与输入 ADC 的信号所携带的噪声也是成比例的, 这样所包含的低频噪声会被抵消掉, 不会影响转换精度。正因为这样的优点, 比例测量被广泛地用于桥式传感器、温度传感器等测量应用中。

参考输入噪声对转换精度的影响也是与输入电压大小成正比的。若输入电压为 0, 参考输入噪声的贡献也是 0; 若输入电压近满幅, 参考输入噪声的贡献则最大。因此当参考输入噪声较大有无法滤除时, 可以通过采用尽可能小的 ADC 输入范围或者程控放大器增益并确保其在 0V 附近工作的方法, 把参考输入噪声对系统性能的影响降到最低。

对于有些传感器, 无法采用比例测量的电路结构。例如热电堆传感器, 其模型可以等效为一个具有 100kohm 级别的内阻的电压源, 该模型决定了传感器无法使用比例测量, 因此参考输入的低频噪声无法被有效抵消。在这类应用中, 参考输入的噪声性能、绝对值变得更重要, 需要保证其有足够低的噪声, 使其不会恶化转换精度; 保证其有足够稳定的绝对值, 使其不会影响转换准确度。不过对于热电堆传感器, 0.1 度的温度变化对应数 uV 的电压变化, 其对精度要求远低于 0.1uV 级别电子秤应用, 因此

这样的精度对参考电压的噪声要求其实并不算很高。

总之，根据实际应用选择合适的参考源、滤波电路有助于实现高性价比方案。

2. 功能说明

2.1 基本结构功能描述

5101L 集成了一款高精度、低功耗 DELTA-SIGMA 模数转换模块，其原理框图如图 2-1。支持一路差分输入通道和一路内置温度传感器，ADC 采用三阶调制器，通过低噪声仪用放大器结构实现 PGA 放大，放大倍数可选：1、2、4、8、16、32、64、128、256。在 PGA=128 时，有效分辨率可达 18.5 位（工作在 3.3V）。内置 RC 振荡器，无需外置晶振。可以通过 DRDYB /DOUT 和 SCLK 进行多种功能模式的配置，例如用作温度检测、PGA 增益选择、ADC 数据输出速率选择等等。具有 Power Down 模式。

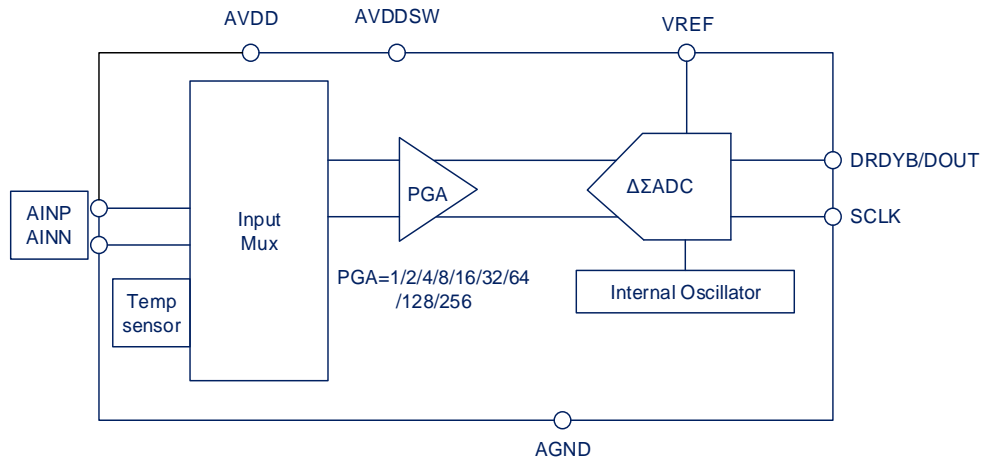


图 2-1 5101L Delta-Sigma ADC 原理框图

2.2 工作原理

2.2.1 模拟输入前端

DELTA-SIGMA ADC 中有 1 路 ADC，集成了 1 路差分输入，信号输入可以是差分输入信号 AINP、AINN，也可以是温度传感器的输出信号，输入信号的切换由寄存器（CHSEL[2:0]）控制。000=通道 1，001=通道 1 交换输入（系统斩波），010=温度，011=内短，1xx=关闭 PGA、直接输入 ADC（110 除外），110=BG。

2.2.2 温度传感器

模块内部提供温度测量功能。建议采用 PGA 增益 8，ADC 速度为 40Hz 的配置。温度传感器需要进行单点校正。校正方法：在某个温度点 A 下，使用温度传感器进行测量得到码值 Y_a 。那么其他温度点 B 对应的温度 = $Y_b * (273.15 + A) / Y_a - 273.15$ 。A 温度单位是摄氏度。 Y_a 是 A 点对应温度码值。 Y_b 是 B 点对应温度码值。

对于参考电压可能变化的应用场合（如 Ratio Metric 测量，参考电压的绝对值不重要），可选择通过测量 BG 间接测量出实时的参考电压，进而计算出实时的温度。

2.2.3 低噪声 PGA 放大器

DELTA-SIGMA ADC 提供了一个基于斩波技术的低噪声、低漂移的 PGA 放大器与桥式传感器差分输出连接，通过 PGA_SEL[3:0] 来配置 2、4、8、16、32、64、128、256 等不同的 PGA。当使用 PGA=2、4、8 时，第一级低噪声 PGA 放大器会被关断以节省功耗。当使用低噪声 PGA 放大器时，输入范围在 GND+0.75V 到 VDD-1V 之间，超出这个范围，会导致实际性能下降。当模拟输入跳过 PGA，直接输入至 ADC 时，增益为 1。

2.2.4 ADC 时钟、数据输出速率及斩波频率

DELTA-SIGMA ADC 使用内部时钟来提供系统所需要的时钟频率，有四种选择，对应于四种数据输出速率。可通过寄存器

SPEED_SEL[1:0]配置。斩波时钟可以由 LOWSPD 进行微调。

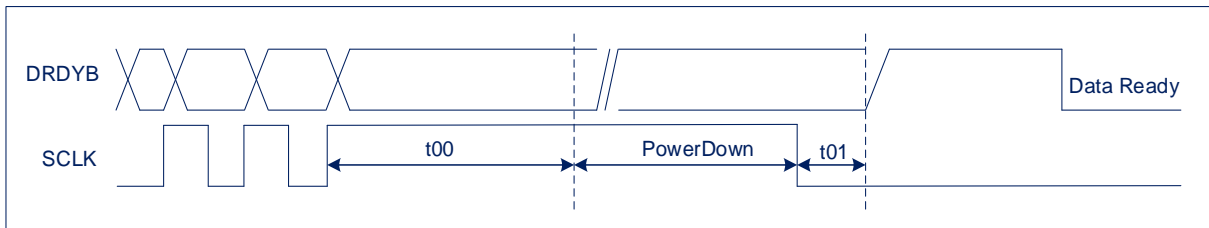
表 2-1

SPEED_SEL[1:0]	LOWSPD	输出速率
00	0	10
00	1	10
01	0	40
01	1	40
10	0	640
10	1	640

2.2.5 复位和断电模式

当模块上电时,内置上电复位电路会产生复位信号,使模块自动复位。当 SCLK 从低电平变高电平并保持在高电平超过 100 μ s, DELTA-SIGMA ADC 即进入 PowerDown 模式,此时功耗低于 0.05 μ A。当 SCLK 重新回到低电平时,模块会重新进入正常工作状态。当系统由 PowerDown 重新进入正常工作模式时,此时所有功能配置为 PowerDown 之前的状态,不需要进行功能配置。

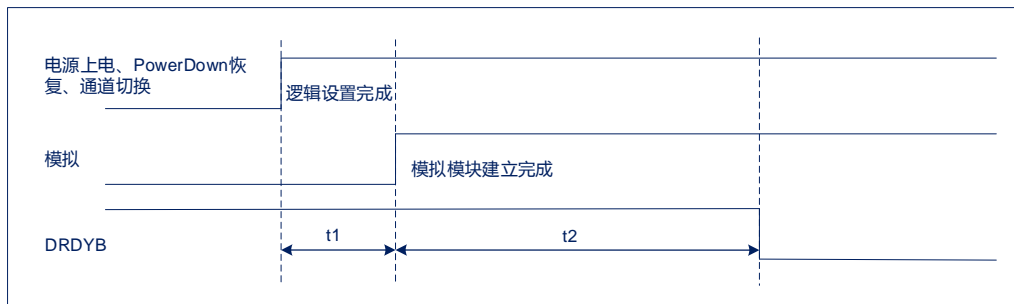
断电模式示意图如下图所示。其中 t00 表示 SCLK 高电平保持时间,最小为 100 μ s; t01 表示 SCLK 下降后低电平保持时间,最小为 10 μ s。



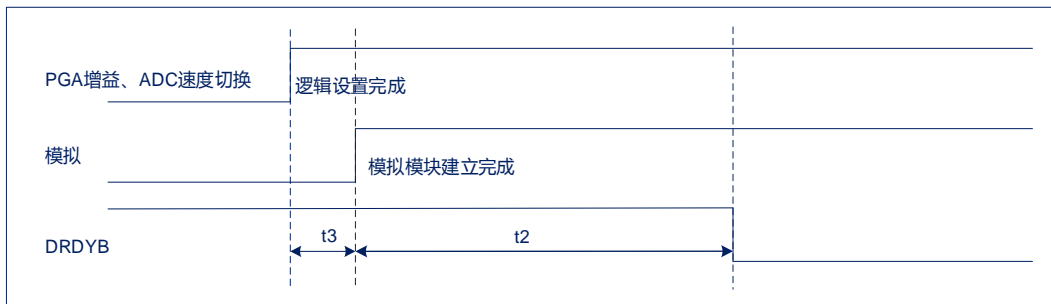
2.2.6 建立时间

DELTA-SIGMA ADC 的建立时间为均为 1 个转换周期。

数据建立过程 1:



数据建立过程 2:



建立时间:

参数	描述	最小值	典型值	最大值	单位
建立时间					
t1	上电、powerdown 恢复时间\通道切换后恢复时间	-	1	-	ms
t2	数据建立时间	-	1	-	转换周期
t3	PGA 切换、速率切换后恢复时间	-	1	-	转换周期

2.3 SPI 串口通信

DELTA-SIGMA ADC 中采用 2 线 SPI 串行通信, 通过 SCLK(P42)和 DRDYB/DOU(P43)可以实现数据的接收以及功能配置。

2.3.1 数据格式

DELTA-SIGMA ADC 输出的数据为数字输出码为 24 位, 其中 B23 为下限溢出位, B22 为上限溢出位, B21-B0 为 22 位数据值。B21 为符号位, 0 为正, 1 为负。22 位的 2 进制补码, 最高位 (MSB) 最先输出。下表为不同模拟输入信号对应的理想输出码。

模拟输入电压	OVL	OVB	数据																		十进制码	十六进制					
	B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0		B[23:0]	
Vref+1LSB	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	2097153	600001	
Vref	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	2097152	600000	
Vref-1LSB	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	2097151	1FFFFFF	
2LSB	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	2	000002	
1LSB	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	000001	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	000000
-1LSB	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	-1	3FFFFFF	
-2LSB	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	-2	3FFFFE	
-Vref	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	-2097152	2000000	
-Vref-1LSB	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	-2097153	9FFFFFF	

2.3.2 数据准备/数据输入输出 (DRDYB/DOU)

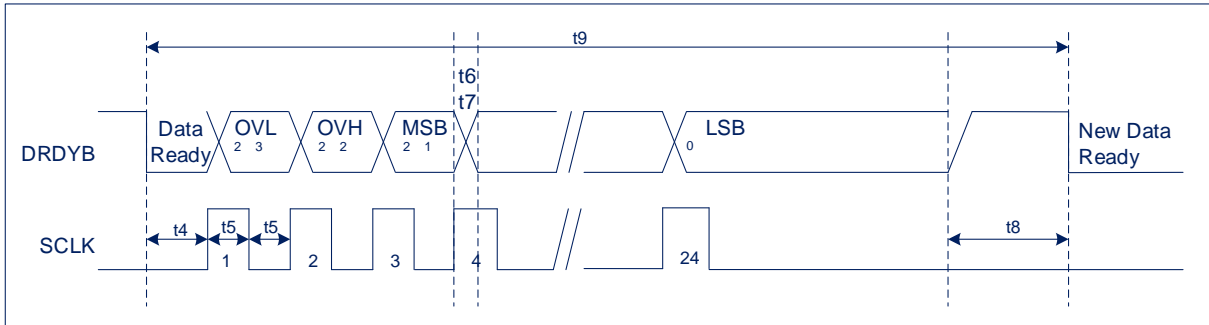
DRDYB/DOU 引脚有 4 个用途。第一, 当输出为低时, 表示新的数据已经转换完成; 第二, 作为数据输出引脚, 当数据准备好后, 在第 1 个 SCLK 的上升沿后, DRDYB/DOU 输出转换数据的溢出位。在每一个 SCLK 的上升沿, 数据会自动移 1 位。在 24 个 SCLK 后将所有的 24 位数据读出, 如果这时暂停 SCLK 的发送, DRDYB/DOU 会保持最后一位的数据, 直到下一个数据准备好之前拉高, 此后当 DRDYB/DOU 被再次拉低, 表示新的数据已经转换完成, 可进行下一个数据读取; 第三, 在第 25、26 个 SCLK 时, 输出寄存器状态更新标志; 第四, 作为寄存器数据写入或读出引脚, 当需要配置寄存器或读取寄存器值时, SPI 需要发送 46 个 SCLK, 根据 DRDYB/DOU 输入的命令字, 判断是写寄存器操作还是读寄存器操作。

2.3.3 串行时钟输入 (SCLK)

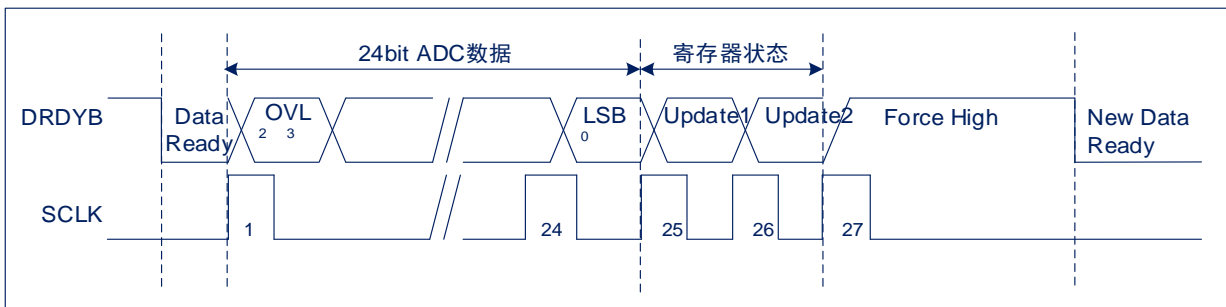
串行时钟输入 SCLK 是一个数字引脚。这个信号应保证是一个干净的信号, 毛刺或慢速的上升沿都会可能导致读取错误数据或误入错误状态。因此, 应保证 SCLK 的上升和下降时间都小于 50ns。

2.3.4 串行数据发送

读取数据时序图 1:



读取数据时序图 2:



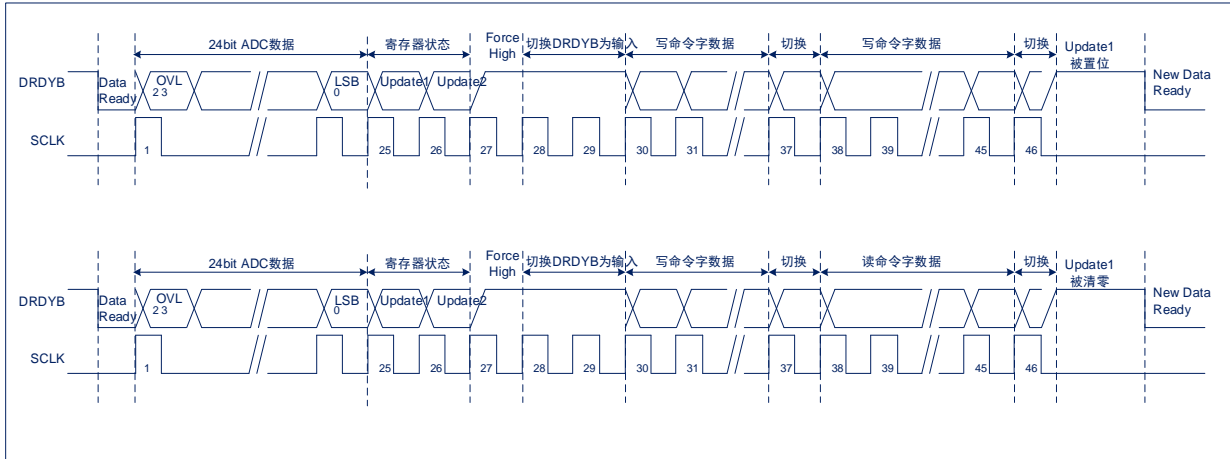
DELTA-SIGMA ADC 可以持续的转换模拟输入信号，当将 DRDYB/DOUT 拉低后，表明数据已经准备好接受，输入的第一个 SCLK 来就可以将输出的最高位读出，在 24 个 SCLK 后将所有的 24 位数据读出，如果这时暂停 SCLK 的发送，DRDYB/DOUT 会保持最后一位的数据，直到其被拉高，如读取数据时序图 1。

如果是持续发送 SCLK, 则第 25 和 26 个 SCLK 输出配置寄存器是否有写操作标志, 第 25 个 SCLK 对应的 DRDYB/DOUT 为 1 时表明配置寄存器被写入了新的值, 第 26 个 SCLK 对应的 DRDYB/DOUT 为模块扩展保留位, 目前输出一直为 0, 通过第 27 个 SCLK 可以将 DRDYB/DOUT 拉高, 此后当 DRDYB/DOUT 被再次拉低, 表示新的数据已经准备好接受, 进行下一个数据的转换。其基本时序如读取数据时序图 2 所示。

参数	描述	最小值	典型值	最大值	单位
t4	DRDYB/DOUT 变低后到第一个 SCLK 上升沿	-	2	-	ns
t5	SCLK 高电平或低电平脉宽	455	-	-	ns
t6	SCLK 上升沿到新数据有效(传输延迟)	455	-	-	ns
t7	SCLK 上升沿到旧数据位有效(保持时间)	-	-	455	ns
t8	数据更新, 不允许读之前的数据	-	26	-	us
t9	转换时间, 10Hz	-	100	-	ms
	转换时间, 40Hz	-	25	-	ms
	转换时间, 640Hz	-	1.5625	-	ms

2.3.5 功能配置

DELTA-SIGMA ADC 可以通过 SCLK 和 DRDYB/DOUT 可以对寄存器进行读取和配置, 功能配置时序如下所示:



功能配置过程简述，判断到 DRDYB/DOUT 由高变低之后：

第 1 个到第 24 个 SCLK，读取 ADC 数据。如果不需要配置寄存器或者读取寄存器，可以省略下面的步骤。

第 25 个到第 26 个 SCLK，读取寄存器写操作状态。

第 27 个 SCLK，把 DRDYB/DOUT 输出拉高。

第 28 个到第 29 个 SCLK，切换 DRDYB/DOUT 为输入。

第 30 个到第 36 个 SCLK，输入寄存器写或读命令字数据(高位先输入)。

第 37 个 SCLK，切换 DRDYB/DOUT 的方向（如果是写寄存器，DRDYB/DOUT 为输入；如果是读寄存器，DRDYB/DOUT 为输出）。

第 38 个到第 45 个 SCLK，输入寄存器配置数据或输出寄存器配置数据(高位先输入/输出)。

第 46 个 SCLK，切换 DRDYB/DOUT 为输出，并把 DRDYB/DOUT 拉高。update1/ update2 被置位或清零。

2.3.6 SPI 命令字说明

DELTA-SIGMA ADC 有 4 个命令字，命令字的长度为 7bits，SPI 命令字的说明如下：

命令对象（控制字）	命令字节	描述
Config1	0x65	写 Config1
	0x56	读 Config1
Config2	0x69	写 Config2
	0x5A	读 Config2
Config3	0x6D	写 Config3
	0x5E	读 Config3
Config4	0x61	写 Config4
	0x52	读 Config4

2.4 相关寄存器

2.4.1 AD 控制寄存器 1

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
ADCON1	TEST	REF_ENB	SPD_SEL1	SPD_SEL0	PGA_SEL3	PGA_SEL2	PGA_SEL1	PGA_SEL0
读写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	1	1	0

Bit7

TEST: VREF引脚输出clk_adc;

		1= 使能;
		0= 禁止。
Bit6	REF_ENB:	AVDDSW输出;
		1= 关闭;
		0= 打开。
Bit6~Bit5	SPD_SEL<1:0>:	ADC输出速率;
		00= 10Hz ;
		01= 40Hz ;
		10= 640Hz ;
		11= 无效 。
Bit3~Bit0	PGA_SEL<3:0>:	PGA增益;
		0000= 2;
		0001= 4;
		0010= 8;
		0011= 8;
		0100= 16;
		0101= 32;
		0110= 64;
		0111= 128;
		1000= 256;
		Other = 2。

2.4.2 AD 控制寄存器 2

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
ADCON2	CHSEL2	CHSEL1	SHSEL0	LPW1	LPW0	LOWSPD	CHOPB	--
读写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	1	0	0	0	0

Bit7~Bit5	CHSEL<2:0>:	通道选择;
		000= 1;
		001= 系统斩波;
		010= 温度;
		011= 内短;
		1xx= 关闭PGA, 直接输入至ADC(110除外);
		110= BG。
Bit4~Bit3	LPW<1:0>:	功耗选择;
		11= 最低功耗, 建议用于10Hz、40Hz输出速率;
		10= 低功耗;
		01= 高功耗;
		00= 最高功耗, 用于640Hz输出速率。
Bit2	LOWSPD:	斩波速度;
		1= 低速;
		0= 高速。
Bit1	CHOPB:	斩波使能;
		1= 关闭斩波;
		0= 打开斩波。
Bit0	--	保留, 须为0。

2.4.3 AD 控制寄存器 3

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
ADCON2	TRIMOS3	TRIMOS2	TRIMOS1	TRIM_OS0	DEAD1	DEAD0	--	PGAENB

读写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	0	0	0	1	0	0	0

Bit7~Bit4 TRIMOS <3:0>: TRIM;
PGA失调TRIM。

Bit3~Bit2 DEAD<1:0>: 时钟死区控制;
00= 最小;
01= 小;
10= 大;
11= 最大。

Bit1 -- 保留, 须为0。

Bit0 PGAENB: PGA使能;
1= 关闭;
0= 使能。

2.4.4 AD 控制寄存器 4

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
ADCON2	TRIMBG3	TRIMBG2	TRIMBG1	TRIMBG0	--	--	--	--
读写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	0	0	0	0	0	0	0

Bit7~Bit4 TRIMOS <3:0>: TRIM;
BG输出TRIM。

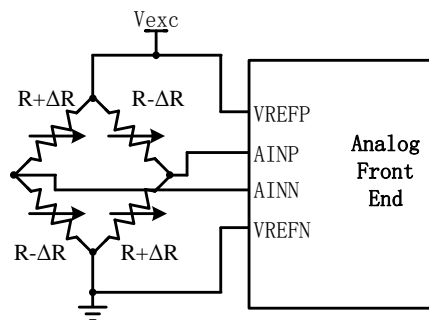
Bit3~Bit0 -- 保留, 须为0。

3. 设计参考

3.1 原理分析

3.1.1 电子秤原理分析

电子秤传感器属于压力传感器，压力传感器的基本原理是在铝棒上面贴上由桥式电阻组成的应变片，当铝棒受到压力时，将会导致应变片发生形变，从而会使应变片上阻值为 R 的电阻产生 ΔR 的变换量，该阻值的变化比例对应物体的重量。如图 3-1 所示，将传感器按照比例测量的电路连接。称重时，应变片上的四个电阻均产生 ΔR 的变化量，此时输出电压与激励电压的比例，即为 ΔR 与 R 的比例。



以一种满量程 3kg，分度值 0.5g 的电子秤为例。在传感器激励电压为 3.3V 时，每 0.5g 重量对应的输出变化量为 463nV（实测数据）。5101L 在程控放大器为 256 倍时的典型噪声是 98nV，将 4 个以上输出数据进一步求平均滤波后，可以达到 50nV 的噪声水平，从而确保无闪烁精度达 0.5g。3kg 重量对应的输出值 ADC 的电压变化量为 0.711V，符合芯片的使用要求。

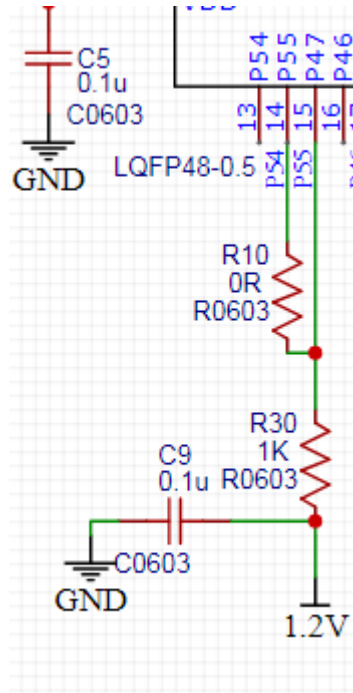
3.1.2 热电堆温度传感器原理分析

热电堆传感器被广泛用于耳温枪、额温枪。热电堆传感器产品一般包含一个热电堆传感器和一个热敏电阻。传感器的模型可以等效为一个具有 100kohm 级别的内阻的电压源，该模型无法使用比例测量的方法，因此参考输入的绝对值、噪声性能变得很重要。5101L 具有高精度 1.2V 参考电压输出，可以作为传感器的偏置电压和 ADC 的参考电压；5101L 的前端程控放大器具有 μV 级别的低失调，可以准确地将传感器微弱信号放大并交由 22bit ADC 进行处理；5101L 的 SAR ADC 可以用于检测热敏电阻，从而检测出环境温度，用于较准实际温度。

3.2 硬件设计

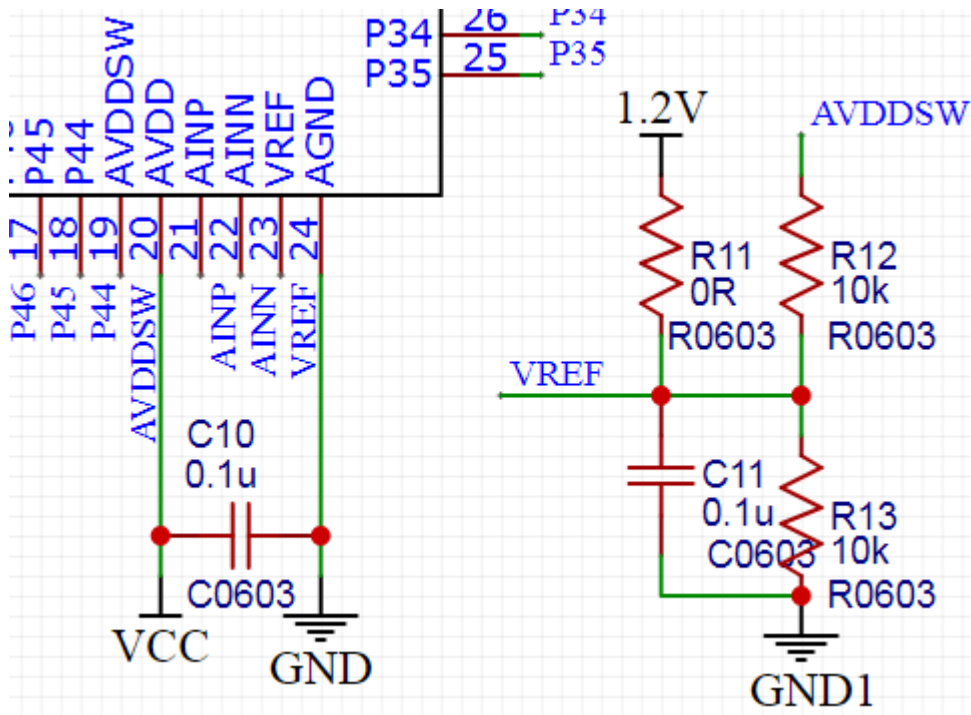
3.2.1 1.2v 输出

管脚 P55 是芯片内部运放的反相输入端，P54 是芯片内部运放的同相输入端，且可内部连接 1.2v 参考电压，管脚 P47 是芯片内部运放输出端，由此通过跟随器将运放正端 1.2v 输出。如有应用要使用到 1.2v 可通过此方式配置，R30 的 1K 电阻是必要的，用于避免直接接 C9 而造成的运放的稳定性问题，C9 可以选择 0.1 μF 以上。



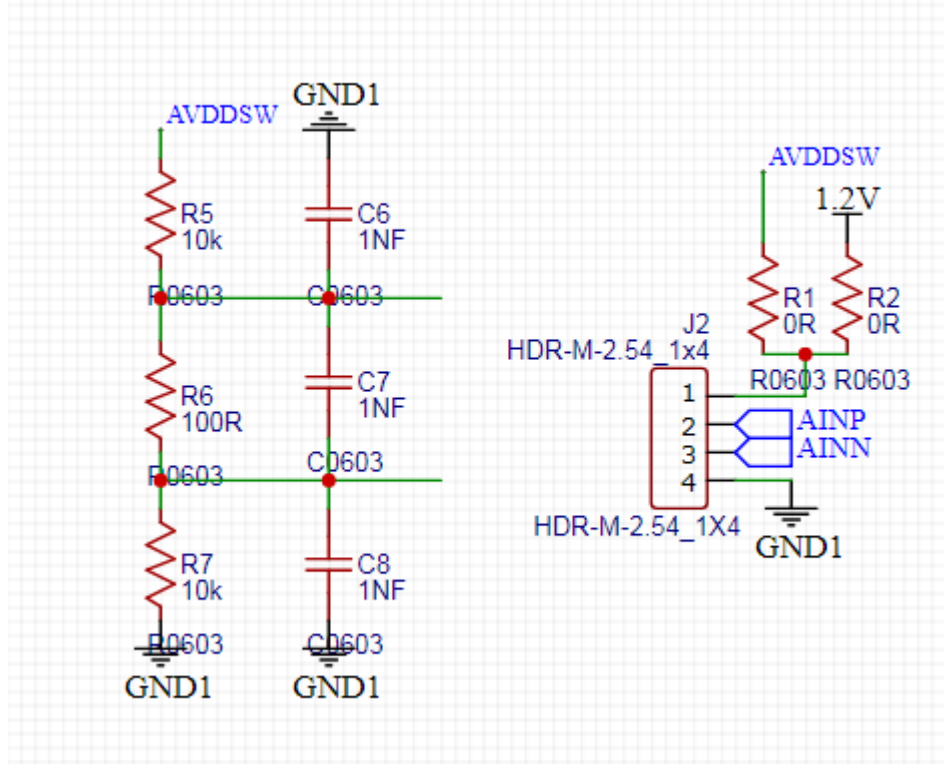
3.2.2 SigmaDeltaAdc 参考源

VREF 引脚是 ADC 的参考源输入，输入范围是 0.5v~1.1V_{dd}。通过 R11 和 R12 根据应用选择合适的参考源。比如额温枪应用选择 1.2v 输出，则 短接 R11 断开 R12、R13。电子秤应用选择 AVDDSW 输出，则断开 R11、R13 短接 R12。另如果选择 AVDDSW，其电源大小与 AVDD 相等，并可通过芯片内部寄存器开关控制，在待机时关闭输出可大大降低功耗。



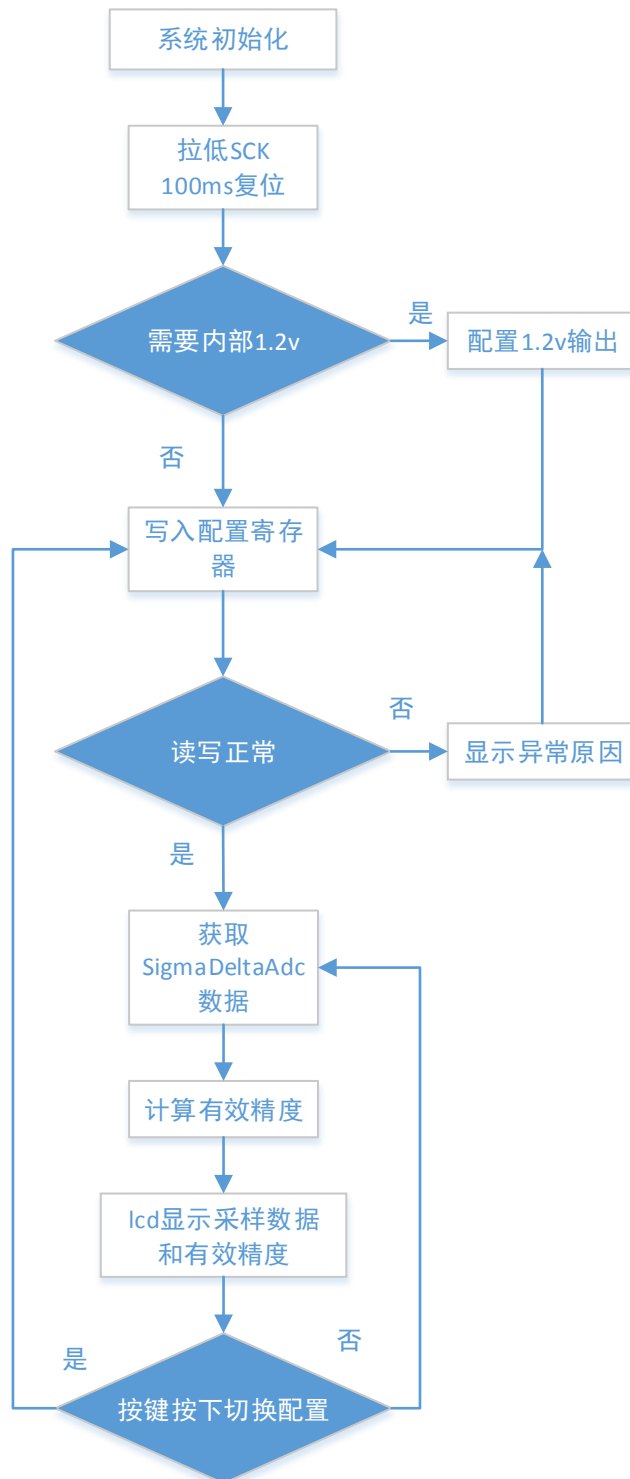
3.2.3 ADC 差分输入

如果测试 ADC 的有效精度，则焊接 R5、R6、R7，R1 和 R2 可任意连接，其他应用则需断开 R5、R6、R7。如果应用为额温枪，断开 R1 且 R2 改为 100K，J2 的 1 和 4 脚位接热电堆的 NTC 两端，J2 的 2 和 3 脚接热电堆的输出脚，VREF 选择 1.2V 参考源；如果应用为电子秤，则短接 R1 断开 R2，四个脚依次接在 J2 上，VREF 选择 AVDDSW 参考源。



3.3 软件设计

FW 流程图:



4. 测试结果

4.1.1 有效精度(-40°C~80°C)

4 档 PGA+2 档输出速率，有效精度整体稳定在 18~19bit。

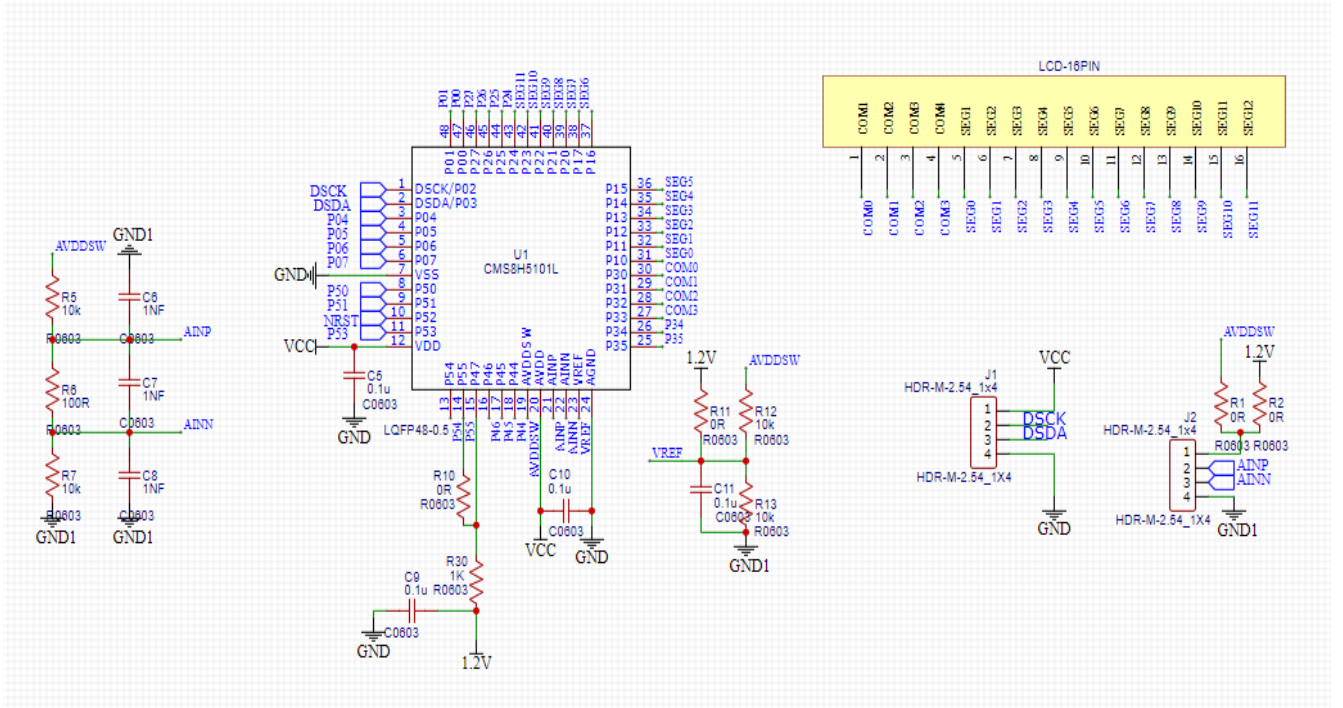
测试条件:																	
LPWR	SPEED_SEL	PGA_SEL	-40			-20			20			60			80		
最低	10Hz	32	18.5	18.7	18.6	18.5	18.7	18.7	18.5	18.8	18.5	18.9	18.8	18.7	18.9	18.9	18.7
最低	10Hz	64	18.5	18.8	19.1	18.5	18.9	19.1	18.8	19.2	19.0	19.0	19.0	19.2	19.0	19.3	19.1
最低	10Hz	128	18.5	18.5	18.7	18.8	18.8	18.5	18.8	18.4	18.8	18.7	18.5	18.8	18.6	18.2	
最低	10Hz	256	18.1	18.2	17.8	18.2	18.4	18.0	18.3	18.2	17.6	18.3	18.2	17.6	18.4	17.9	17.4
最低	40Hz	32	18.1	18.6	18.6	18.6	18.7	18.7	18.8	18.4	18.6	18.9	18.6	18.8	19.0	18.5	
最低	40Hz	64	18.2	18.8	18.9	18.9	18.7	18.8	18.7	18.7	18.9	18.7	19.1	18.8	18.8	18.9	18.8
最低	40Hz	128	18.0	18.6	18.2	18.5	18.5	18.2	18.5	18.3	18.1	18.5	18.5	18.1	18.5	18.5	18.0
最低	40Hz	256	17.8	17.8	17.4	18.2	17.7	17.4	17.8	17.5	17.3	17.8	17.8	17.0	17.9	17.6	17.1

4.1.2 温感测试(-40°C~80°C)

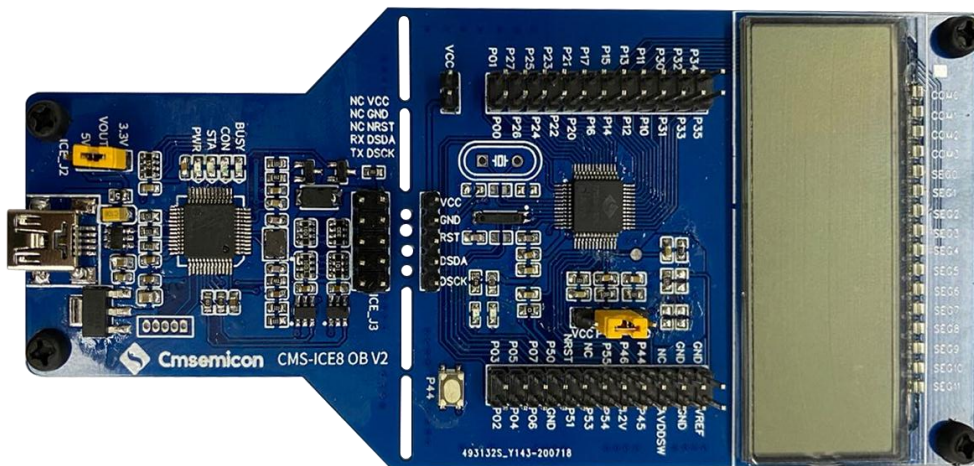
温感测试以 20°C 为基准，采用 PGA=8, 输出速率 40Hz 测到，整体误差在 0.6°C 以内

基准温度: 20																	
测试条件:																	
LPWR	SPEED_SEL	PGA_SEL	-40			-20			20			60			80		
最低	40Hz	8	4.4	3.3	2.5	4.4	3.3	2.5	4.4	3.3	2.5	4.4	3.3	2.5	4.4	3.3	2.5
温度差			-40.37879693	-40.274911	-40.4061	-20.1222	-20.1867	-20.6855	Base	Base	Base	59.41417	59.71484	59.54925	79.66313	79.89346	80.00326
			0.378796931	0.27491109	0.406132	0.122227	0.186748	0.685548				0.586928	0.286165	0.450752	0.336671	0.106536	-0.00326

5. 应用开发板



实物展示:



6. 注意事项

6.1 硬件注意事项

6.1.1 电路设计注意事项

6.1.1.1 差分输入信号通路

从传感器到芯片的差分输入通路应当尽量设计为完全对称，包括对地的 RC 滤波电路、差分电容等。由于芯片的差分输入阻抗在 20Mohm 级别，过大的滤波电阻会导致信号的衰减、增加噪声，推荐将滤波电阻设置在 1kohm 或以下级别；在有足够的抗 EMI 干扰的前提下，使用更小的对地的共模电容，推荐使用 0.1nF 的对地电容；差分电容有助于滤除信号上携带的高频噪声，推荐使用 1nF 以上的电容；输入通路的滤波电容所接的地应当为干净的地平面或者模拟地。

6.1.1.2 去耦电容

芯片的参考电压、电源电压端口都应当添加对地的去耦电容。

6.1.1.3 信号源阻抗

多数应用中传感器信号源的内阻较低，但须注意几百 kohm 以上的信号源内阻对 ADC 转换精度造成的影响。该影响体现在三方面，其一，芯片差分输入等效阻抗是有限的，约为 20Mohm 级别，过大的信号源阻抗会导致信号被衰减，例如 1Mohm 的信号源阻抗会产生 5% 的衰减；其二，大的信号源输出电阻会带来较大的电压噪声，例如 100kohm 电阻在常温下 10kHz 带宽内会携带近 4 μ V 的热噪声，因此给信号源添加差分电容滤除高频噪声往往是必要的；其三，芯片除了电压噪声外，还有较小的电流噪声，5101L 采用的 CMOS 工艺，具备比 Bipolar 更低的电流噪声，但芯片采用的斩波技术会产生一定的电流噪声，一般在 100fA/sqrt(Hz) 的数量级，该电流噪声流经 100kohm 的电阻，会产生 10nV/sqrt(Hz) 的电压噪声，远低于 100kohm 电阻本身的热噪声，因此一般情况下不会明显恶化系统精度。

6.1.2 PCB 布局注意事项

6.1.2.1 电源线

1. 应当尽量加宽电源线，从而减少线路阻抗，减小负载跳变导致的高频噪声。
2. 电源的去耦电容应当尽量靠近芯片。
3. 数字电源、模拟电源、大功率电源应当尽量分开，在输入电源口的滤波电容后采用星型连接。

6.1.2.2 地平面和地线

1. 条件允许的条件下，整层地平面可以提供最优的参考地，这种情况下数字地和模拟地都可以直接通过通孔连接至地平面。
2. 无法构成完整地平面时，应当将数字地、模拟地、功率地分开后采用星型连接，且地线也应当短而粗，应当在 0.5mm 以上。
3. 对于高精度 ADC 单芯片，虽然其包含了 SPI 或者 I2C 等数字接口，应当将其地线划归为模拟地。对于低速、低功耗的混合信号 SOC，也可以将其地线划归为模拟地。
4. 应当避免地线形成大环路，大环线形成的天线效应较大，会捕获空间射频干扰。因此如果包裹模拟信号的地线内环较大，应当留有缺口，避免成环。地与地之间的连接要良好，避免细线相连。大面积铺地有助于避免减小环路面积。

6.1.2.3 差分信号

1. 差分信号的走线应当尽量对称、靠近、等长、平行，两侧采用地线或者铺铜作屏蔽，避免仅有某一条线与其他信号平行走线。
2. 连接到差分信号上的滤波电容、电阻等元器件也应当对称摆放。
3. 差分信号的下方尽可能不用走线，如果必须走线，应当采用垂直交叉方式，禁止仅在某一条线下方走有平行线尤其是数字线。

6.1.2.4 模拟电路的布局

模拟电路应当尽量远离蓝牙、WIFI 等射频模块，也应当尽量远离大功率模块。

6.1.2.5 晶振

晶振会产生高频分量，应当将其靠近芯片，应当在其底部铺地，禁止在其底部走线。

6.1.2.6 抗 ESD 性能

1. 按钮、电池仓等与人体接触频繁的元器件常常会带来 ESD 事件。
2. 最好在芯片端口与按钮间添加 RC 电路，其中数 kohm 级别的电阻用于阻碍 ESD 事件对芯片的伤害路径，0.1 μ F 以上的电容使得按钮带来的 ESD 能量可以迅速地泄放到地，电容应当尽量靠近按钮。

3. 由于电池仓无法串接大电阻，可以采用 1 μ F 以上的大电容泄放 ESD 能量。

6.1.2.7 EMC 性能

1. 良好的 EMC 性能一方面需要抵抗外部的 EMI，另一方面需要避免向外辐射高频干扰。尽管测量类的产品往往工作在数 10MHz 以下，但由于时钟边沿含有大量的高频分量，走线不当，也有可能对外辐射高频干扰。
2. 避免 PCB 走线成环，既可以避免接受外部射频干扰，也可以避免电流回路产生的电磁辐射。
3. 避免接触不良的细长地线、电源线，可以避免其成为天线发射信号。
4. 实心铺铜可以获得很好的回流路径、很低的地平面阻抗，从而获得更优的 EMC 性能。因此在保证 PCB 加工不会出现板弯、板翘、起泡的情况下，应当尽量采用实心而非网格铺铜。

6.2 软件注意事项

1. 芯片上电后需要将 SCK 拉低 100ms 完成硬件复位，之后再行相关配置
2. 从内部 1.2v 供电需要使能 OPA，待机时可通过失能运放关闭输出
3. 从 AVDDSW 供电时，可通过内部寄存器关闭输出

7. 附件

7.1 应用范例参考程序

EVB 配套软件请参考：CMS8H5101L_开发板测试程式

最小工程固件请参考：SigmaDeltaAdcRefCode_V1.0

8. 版本修订说明

版本号	时间	修改内容
V1.00	2019 年 10 月	初始版本